

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :  
Myun-joo PARK et al. :  
Serial No.: [NEW] : Mail Stop Patent Application  
Filed: August 21, 2003 : Attorney Docket No. SEC.1067  
For: SEMICONDUCTOR MEMORY SYSTEM HAVING MULTIPLE SYSTEM DATA  
BUSES

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window, Mail Stop Patent Application  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Applicants, in the above-identified application, hereby claim the priority date  
under the International Convention of the following Korean application:

Appln. No. 10-2002-0050172 filed August 23, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



REG. NO. 39,843 for

Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: August 21, 2003

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0050172  
Application Number

출원년월일 : 2002년 08월 23일  
Date of Application  
AUG 23, 2002

출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



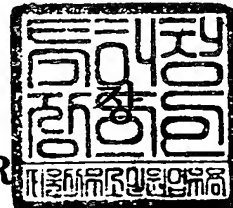
2003      03      20  
년      월      일

특

허

청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0024
【제출일자】	2002.08.23
【국제특허분류】	H01L
【발명의 명칭】	분할된 시스템 데이터 버스에 연결되는 메모리 모듈을 구비하는 반도체 메모리 시스템
【발명의 영문명칭】	Semiconductor memory system having memory module connected to devided system bus
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	박면주
【성명의 영문표기】	PARK, Myun Joo
【주민등록번호】	680210-1148628
【우편번호】	402-062
【주소】	인천광역시 남구 도화2동 109-1 13/2
【국적】	KR
【발명자】	
【성명의 국문표기】	소병세
【성명의 영문표기】	S0, Byung Se
【주민등록번호】	620917-1052711

【우편번호】	463-070
【주소】	경기도 성남시 분당구 야탑동330 코오롱아파트 130-701
【국적】	KR
【발명자】	
【성명의 국문표기】	이재준
【성명의 영문표기】	LEE, Jae Jun
【주민등록번호】	701020-1068323
【우편번호】	135-090
【주소】	서울특별시 강남구 삼성동 진흥아파트 1-1201
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	15 면 15,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	21 항 781,000 원
【합계】	825,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

분할된 시스템 데이터 버스에 연결되는 메모리 모듈을 구비하는 반도체 메모리 시스템이 개시된다. 본 발명에 따른 반도체 메모리 시스템은 메모리 컨트롤러, N 개의 시스템 데이터 버스들 및 제 1 내지 제 P 메모리 모듈군을 구비한다. N 개의 시스템 데이터 버스들은 상기 메모리 컨트롤러로부터 출력되며 M/N 비트의 폭을 가진다. 제 1 내지 제 P 메모리 모듈군은 상기 시스템 데이터 버스들에 연결되며, 각각 N 개의 메모리 모듈들을 구비한다. 상기 제 1 내지 제 P 메모리 모듈군이 구비하는 각각의 메모리 모듈은 하나의 메모리 모듈에 하나의 시스템 데이터 버스가 연결되고, 각각 M/N 비트의 데이터 버스 폭을 가진다. 상기 제 1 내지 제 P 메모리 모듈군은 대응되는 제 1 내지 제 P 칩 선택 신호에 의하여 동작되는 것을 특징으로 한다. 상기 M은 상기 반도체 메모리 시스템의 시스템 데이터 버스의 폭인 것을 특징으로 한다. 상기 N 개의 시스템 데이터 버스는 동일한 칩 선택 신호에 의하여 동작되는 N 개의 메모리 모듈로부터 상기 메모리 컨트롤러까지의 데이터 전송 시간이 동일하도록 배선되는 것을 특징으로 한다.

본 발명에 따른 반도체 메모리 시스템은 시스템 데이터 버스에 연결되는 메모리 모듈의 개수가 줄어들므로 고속 동작이 가능하면서도 메모리 용량도 대용량을 유지할 수 있는 장점이 있다.

**【대표도】**

도 2a

**【명세서】****【발명의 명칭】**

분할된 시스템 데이터 버스에 연결되는 메모리 모듈을 구비하는 반도체 메모리 시스템{Semiconductor memory system having memory module connected to divided system bus}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 메모리 시스템의 구조를 나타내는 블록도이다.

도 2(a) 내지 도 2(d)는 본 발명의 제 1 실시예에 따른 반도체 메모리 시스템을 나타내는 블록도이다.

도 3은 도 2의 메모리 모듈에 장착되는 메모리 장치를 나타내는 도면이다.

도 4는 본 발명의 제 2 실시예에 따른 반도체 메모리 시스템을 나타내는 블록도이다.

도 5(a)는 종래의 직렬 링크 버스 방식의 반도체 메모리 시스템을 나타내는 도면이다.

도 5(b)는 본 발명의 제 3 실시예에 따른 직렬 링크 방식의 반도체 메모리 시스템이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 반도체 메모리 시스템에 관한 것으로서, 특히 본래의 버스 폭보다 작은 폭으로 분할된 시스템 데이터 버스에 연결되는 메모리 모듈을 구비하는 반도체 메모리 시스템에 관한 것이다.
- <9> 메모리 장치는 주로 고집적화 및 대용량화에 중점을 두고 발전되어 왔으며, 한편 컴퓨터 시스템의 중심이 되는 중앙처리장치는 주로 고속화에 중점을 두고 발전되어 왔다. 그 결과 중앙처리장치와 메모리 장치간의 동작속도의 차이가 점점 더 커지고 있으며, 최근에는 메모리 장치의 동작속도가 전체 컴퓨터 시스템의 성능을 제한하는 주요 요인이 되고 있다.
- <10> 도 1은 종래의 메모리 시스템의 구조를 나타내는 블록도이다.
- <11> M 비트의 폭을 가지는 시스템 데이터 버스가 메모리 모듈들(120, 130, 140, 150)과 메모리 컨트롤러(110)를 연결하고 있다. 메모리 모듈들(120, 130, 140, 150)은 메모리 슬롯(미도시)에 장착되어 있다. 메모리 모듈(120, 130, 140, 150)은 시스템 데이터 버스와 동일한 데이터 버스 폭을 가지고 있으며, 각각의 메모리 슬롯이 시스템 데이터 버스에 공통으로 접속된다.
- <12> 또한 메모리 슬롯들은 시스템 데이터 버스 상에 순차적으로 연결된다. 하나의 시스템 데이터 버스 선로 상에 모든 메모리 슬롯들이 연결되므로 대용량 메모리 시스템에서는 메모리 슬롯의 수가 증가될수록 이에 의한 시스템 데이터 버스 선로상의 채널 불연속

과 임피던스 부정합 효과가 커진다. 따라서, 고주파 영역에서 시스템 데이터 버스의 동작 특성이 나빠지게 되므로 시스템의 고속 동작을 제한하는 요인으로 작용한다.

<13> 메모리 장치의 대용량화는 특히 고성능 대용량의 서버 시스템에서 시스템의 성능을 충분히 발휘하기 위한 필수 조건이다. 메모리 시스템의 용량을 최대화하기 위해서는 메모리 시스템에 장착되는 메모리 소자의 개수를 최대화하여야 한다. 이를 위해서는 메모리 모듈이 장착되는 메모리 슬롯의 개수를 늘리고 하나의 메모리 모듈당의 메모리 소자 개수를 최대화할 필요가 있다.

<14> 한편 메모리 시스템의 고속동작을 위해서는 시스템 데이터 버스의 임피던스 부정합 요소나 메모리 소자에 의한 시스템 데이터 버스의 부하를 최소화할 필요가 있다. 이와 같은 고속동작 요건을 만족하기 위해서는 채널에 연결되는 메모리 슬롯 및 메모리 모듈의 개수가 적을수록 유리하다.

<15> 이와 같이 메모리 시스템의 대용량화와 고속화는 서로 상치되는 경향이 있기 때문에 두 가지 목적을 모두 만족시키기 어려운 문제가 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<16> 본 발명이 이루고자하는 기술적 과제는 시스템 데이터 버스에 연결되는 메모리 모듈의 수가 줄어들어 고속 동작이 가능하면서도 메모리 용량을 대용량으로 유지할 수 있는 반도체 메모리 시스템을 제공하는데 있다.



**【발명의 구성 및 작용】**

- <17>        상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 반도체 메모리 시스템은 메모리 컨트롤러, N 개의 시스템 데이터 버스들 및 제 1 내지 제 P 메모리 모듈군을 구비한다.
- <18>        N 개의 시스템 데이터 버스들은 상기 메모리 컨트롤러로부터 출력되며 M/N 비트의 폭을 가진다. 제 1 내지 제 P 메모리 모듈군은 상기 시스템 데이터 버스들에 연결되며, 각각 N 개의 메모리 모듈들을 구비한다.
- <19>        상기 제 1 내지 제 P 메모리 모듈군이 구비하는 각각의 메모리 모듈은 하나의 메모리 모듈에 하나의 시스템 데이터 버스가 연결되고, 각각 M/N 비트의 데이터 버스 폭을 가진다.
- <20>        상기 제 1 내지 제 P 메모리 모듈군은 대응되는 제 1 내지 제 P 칩 선택 신호에 의하여 동작되는 것을 특징으로 한다.
- <21>        상기 M은 상기 반도체 메모리 시스템의 시스템 데이터 버스의 폭인 것을 특징으로 한다. 상기 N 개의 시스템 데이터 버스는 동일한 칩 선택 신호에 의하여 동작되는 N 개의 메모리 모듈로부터 상기 메모리 컨트롤러까지의 데이터 전송 시간이 동일하도록 배선되는 것을 특징으로 한다.
- <22>        상기 메모리 모듈은 L 개의 메모리 장치들이 장착되며 상기 L 개의 메모리 장치들은 L/N 개의 메모리 장치들을 각각 구비하는 N 개의 뱅크로 구분된다. 상기 N 개의 뱅크는 각각 상기 메모리 모듈의 M/N 비트의 데이터 버스를 공유하며, 상기 대응되는 칩 선택 신호에 응답하여 별도로 동작되는 것을 특징으로 한다.

- <23>        상기 칩 선택 신호는 상기 N 개의 뱅크로 각각 별개의 칩 선택 신호가 인가되는 것을 특징으로 한다. 상기 L 개의 메모리 장치들은 각각 M/L 비트의 데이터 버스 폭을 가지는 것을 특징으로 한다.
- <24>        상기 메모리 모듈은 L 개의 메모리 장치가 장착되며 상기 L 개의 메모리 장치는 M/(N\*L) 비트의 데이터 버스 폭을 가지는 것을 특징으로 한다.
- <25>        상기 기술적 과제를 달성하기 위한 본 발명의 제2 실시예에 따른 반도체 메모리 시스템은 메모리 컨트롤러, N 개의 시스템 데이터 버스들, 제 1 메모리 모듈군 및 제 2 메모리 모듈군을 구비한다.
- <26>        N 개의 시스템 데이터 버스들은 상기 메모리 컨트롤러로부터 출력되며 M/N 비트의 폭을 가진다. 제 1 메모리 모듈군은 상기 N 개의 시스템 데이터 버스들에 연결되며 N 개의 메모리 모듈들을 구비한다. 제 2 메모리 모듈군은 상기 N 개의 시스템 데이터 버스들에 연결되며 하나 또는 둘 이상의 메모리 모듈들을 구비한다.
- <27>        상기 제 1 메모리 모듈군이 구비하는 각각의 메모리 모듈은 하나의 메모리 모듈에 하나의 시스템 데이터 버스가 연결되고, 각각 M/N 비트의 데이터 버스 폭을 가지며, 동일한 칩 선택 신호에 의하여 동작된다.
- <28>        상기 제 2 메모리 모듈군이 구비하는 각각의 메모리 모듈은 메모리 모듈에 상기 N 개의 시스템 데이터 버스가 모두 연결되고, 각각 M 비트의 데이터 버스 폭을 가지며, 각각의 메모리 모듈마다 별개의 칩 선택 신호에 의하여 동작되는 것을 특징으로 한다.
- <29>        상기 M은 상기 반도체 메모리 시스템의 시스템 데이터 버스의 폭인 것을 특징으로 한다. 상기 N 개의 시스템 데이터 버스는 상기 제 1 메모리 군의 메모리 모듈들로부터

상기 메모리 컨트롤러까지의 데이터 전송 시간이 동일하도록 배선되는 것을 특징으로 한다.

<30> 상기 제 1 메모리 모듈군의 메모리 모듈은 L 개의 메모리 장치들이 장착되며 상기 L 개의 메모리 장치들은 L/N 개의 메모리 장치들을 각각 구비하는 N 개의 बैं크로 구분되고, 상기 N 개의 बैं크는 각각 상기 메모리 모듈의 M/N 비트의 데이터 버스를 공유하며, 상기 대응되는 칩 선택 신호에 응답하여 별도로 동작되는 것을 특징으로 한다.

<31> 상기 칩 선택 신호는 상기 N 개의 बैं크로 각각 별개의 칩 선택 신호가 인가되는 것을 특징으로 한다. 상기 L 개의 메모리 장치들은 각각 M/L 비트의 데이터 버스 폭을 가지는 것을 특징으로 한다.

<32> 상기 제 1 메모리 모듈군의 메모리 모듈들은 L 개의 메모리 장치가 장착되며 상기 L 개의 메모리 장치는 M/(N\*L) 비트의 데이터 버스 폭을 가지는 것을 특징으로 한다.

<33> 상기 기술적 과제를 달성하기 위한 본 발명의 제 3 실시예에 따른 반도체 메모리 시스템은, 직렬 링크 버스 방식의 반도체 메모리 시스템에 있어서, 메모리 컨트롤러, N 개의 시스템 데이터 버스들 및 제 1 내지 제 P 메모리 모듈군을 구비한다.

<34> N 개의 시스템 데이터 버스들은 상기 메모리 컨트롤러로부터 출력되며 M/N 비트의 폭을 가진다. 제 1 내지 제 P 메모리 모듈군은 상기 시스템 데이터 버스들에 연결되며, 각각 N 개의 메모리 모듈들을 구비한다.

<35> 상기 제 1 내지 제 P 메모리 모듈군이 구비하는 각각의 메모리 모듈은 하나의 메모리 모듈에 하나의 시스템 데이터 버스가 연결되고, 각각 M/N 비트의 데이터 버스 폭을 가지며, 데이터 전송을 위한 데이터 버퍼를 구비하고, 상기 제 1 내지

제 P 메모리 모듈군은, 대응되는 제 1 내지 제 P 칩 선택 신호에 의하여 동작되며, 공통된 시스템 데이터 버스에 연결된 각각의 메모리 모듈은 상기 데이터 버퍼를 이용하여 데이터를 전송하는 것을 특징으로 한다.

- <36>        상기 M은 상기 반도체 메모리 시스템의 시스템 데이터 버스의 폭인 것을 특징으로 한다. 상기 N 개의 시스템 데이터 버스는 상기 동일한 칩 선택 신호에 의하여 동작되는 N 개의 메모리 모듈로부터 상기 메모리 컨트롤러까지의 데이터 전송 시간이 동일하도록 배선되는 것을 특징으로 한다.
- <37>        상기 메모리 모듈은 L 개의 메모리 장치들이 장착되며, 상기 L 개의 메모리 장치들은 L/N 개의 메모리 장치들을 각각 구비하는 N 개의 बैं크로 구분되고 상기 N 개의 बैं크는 각각 상기 메모리 모듈의 M/N 비트의 데이터 버스를 공유하며, 상기 대응되는 칩 선택 신호에 응답하여 별도로 동작되는 것을 특징으로 한다.
- <38>        상기 칩 선택 신호는 상기 N 개의 बैं크로 각각 별개의 칩 선택 신호가 인가되는 것을 특징으로 한다. 상기 L 개의 메모리 장치들은 각각 M/L 비트의 데이터 버스 폭을 가지는 것을 특징으로 한다.
- <39>        상기 메모리 모듈은 L 개의 메모리 장치가 장착되며 상기 L 개의 메모리 장치는 M/(N\*L) 비트의 데이터 버스 폭을 가지는 것을 특징으로 한다.
- <40>        본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.



- <41> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <42> 도 2(a) 내지 도 2(d)는 본 발명의 제 1 실시예에 따른 반도체 메모리 시스템을 나타내는 블록도이다.
- <43> 도 3은 도 2의 메모리 모듈에 장착되는 메모리 장치를 나타내는 도면이다.
- <44> 먼저, 도 2(a)를 참조하면, 본 발명의 제 1 실시예에 따른 반도체 메모리 시스템은 메모리 컨트롤러(201), N 개의 시스템 데이터 버스들(215, 217) 및 제 1 내지 제 P 메모리 모듈군(203, 209)을 구비한다.
- <45> N 개의 시스템 데이터 버스들(215, 217)은 메모리 컨트롤러(201)로부터 출력되며 M/N 비트의 폭을 가진다. 여기서, M은 반도체 메모리 시스템(200)의 전체 시스템 데이터 버스의 폭이다. N 개의 시스템 데이터 버스들(215, 217)은 동일한 칩 선택 신호(CS1, CS2)에 의하여 동작되는 N 개의 메모리 모듈(205, 207, 211, 213)로부터 메모리 컨트롤러(201)까지의 데이터 전송 시간이 동일하도록 배선된다. 여기서, N 은 2이다. 즉, 2개의 시스템 데이터 버스들(215, 217)이 존재한다.
- <46> 제 1 내지 제 P 메모리 모듈군(203, 209)은 시스템 데이터 버스들(215, 217)에 연결되며, 각각 N 개의 메모리 모듈들(205, 207, 211, 213)을 구비한다. 제 1 내지 제 P 메모리 모듈군(203, 209)이 구비하는 각각의 메모리 모듈(205, 207, 211, 213)은 하나의 메모리 모듈에 하나의 시스템 데이터 버스가 연결되고, 각각 M/N 비트의 데이터 버스 폭을 가진다. 여기서, P 는 2이다. 즉, 제 1 및 제 2 메모리 모듈군(203, 209)이 있다.

- <47> 제 1 내지 제 P 메모리 모듈군(203, 209)은 대응되는 제 1 내지 제 P 칩 선택 신호에 의하여 동작된다.
- <48> 도 3(b)를 참조하면, 메모리 모듈(310)은 L 개의 메모리 장치들이 장착되며, L 개의 메모리 장치들은 L/N 개의 메모리 장치들을 각각 구비하는 N 개의 뱅크(B1, B2)로 구분된다.
- <49> N 개의 뱅크(B1, B2)는 각각 메모리 모듈의 M/N 비트의 데이터 버스를 공유하며, 대응되는 칩 선택 신호(CS1\_A, CS1\_B)에 응답하여 별도로 동작된다. 칩 선택 신호(CS1\_A, CS1\_B)는 N 개의 뱅크(B1, B2)로 각각 별개의 칩 선택 신호가 인가된다. L 개의 메모리 장치들은 각각 M/L 비트의 데이터 버스 폭을 가지는 것을 특징으로 한다.
- <50> 도 2(a)의 메모리 모듈(205, 207, 211, 213)은 L 개의 메모리 장치가 장착되며 L 개의 메모리 장치는 M/(N\*L) 비트의 데이터 버스 폭을 가지는 것을 특징으로 한다.
- <51> 이하, 도 2 및 도 3을 참조하여 본 발명의 제 1 실시예에 따른 반도체 메모리 시스템의 동작이 상세히 설명된다.
- <52> 도 2(a)의 반도체 메모리 시스템(200)의 N 개의 시스템 데이터 버스들(215, 217)은 메모리 컨트롤러(201)로부터 출력되며 M/N 비트의 폭을 가진다. 도 2(a)에는 2개의 시스템 데이터 버스들(215, 217)이 도시되어 있다. 따라서 여기서 N 은 2 이다. 그러나 N 이 2로 한정되는 것은 아니다.
- <53> 또한 M은 반도체 메모리 시스템(200)의 전체 시스템 데이터 버스의 폭이다. 전체 시스템 데이터 버스의 폭이 M 비트이므로 각각의 시스템 데이터 버스들(215, 217)의 폭

은  $M/2$  비트를 가진다. 만일 반도체 메모리 시스템(200)이 3개의 시스템 데이터 버스를 구비한다면, 각각의 시스템 데이터 버스는  $M/3$  비트의 데이터 폭을 가질 것이다.

<54> 제 1 내지 제 P 메모리 모듈군(203, 209)은 시스템 데이터 버스들(215, 217)에 연결되며, 각각 N 개의 메모리 모듈들(205, 207, 211, 213)을 구비한다. 제 1 실시예에서, P 는 2이다. 즉, 제 1 및 제 2 메모리 모듈군(203, 209)이 있다. 그러나 P 가 2 로 한정되는 것은 아니다.

<55> 제 1 내지 제 P 메모리 모듈군(203, 209)이 구비하는 각각의 메모리 모듈(205, 207, 211, 213)은 하나의 메모리 모듈에 하나의 시스템 데이터 버스가 연결되고, 각각  $M/N$  비트의 데이터 버스 폭을 가진다. 각각의 메모리 모듈(205, 207, 211, 213)은  $M/2$  비트의 데이터 버스의 폭을 가진다.

<56> 하나의 메모리 모듈만으로는 M 비트의 전체 시스템 데이터 버스를 채울 수 없으므로 N 개의 메모리 모듈이 전체 시스템 데이터 버스를 채운다. 즉, 2개의 메모리 모듈이 시스템 데이터 버스를 채운다. 전체 시스템 데이터 버스의 폭인 M 비트를 채울 수 있는 메모리 모듈이 메모리 모듈군을 구성한다. 여기서는 2개의 메모리 모듈이 M 비트의 시스템 데이터 버스의 폭을 채울 수 있으므로 각각의 메모리 모듈군은 2개의 메모리 모듈을 가진다.

<57> 동일한 메모리 모듈군에 속하는 메모리 모듈들은 동일한 칩 선택 신호에 응답하여 동시에 동작된다. 따라서, M 비트의 시스템 데이터 버스의 폭을 채울 수 있다. 제 1 내지 제 P 메모리 모듈군(203, 209)은 대응되는 제 1 내지 제 P 칩 선택 신호(CS1, CS2)에 의하여 동작된다.

- <58> 시스템 데이터 버스들(215, 217)은 동일한 칩 선택 신호(CS1, CS2)에 의하여 동작되는 N 개의 메모리 모듈(205, 207, 211, 213)로부터 메모리 컨트롤러(201)까지의 데이터 전송 시간이 동일하도록 배선된다. 즉, 메모리 모듈(205)이 메모리 모듈(207)보다 메모리 컨트롤러(201)에 더 가깝게 있으므로 메모리 모듈(205)로부터 메모리 컨트롤러(201)로의 데이터 전송 시간이 메모리 모듈(207)로부터 메모리 컨트롤러(201)로의 데이터 전송 시간과 다를 수 있다.
- <59> 따라서, 메모리 모듈(205)로부터 메모리 컨트롤러(201)까지의 시스템 데이터 버스(215)의 배선의 길이를 좀더 길게 하면 두 개의 메모리 모듈(205, 207)로부터 메모리 컨트롤러(201)까지의 데이터 전송 시간을 동일하게 맞출 수 있다.
- <60> 도 2(b)의 반도체 메모리 시스템(220)은 메모리 모듈의 배치 방식을 달리하였다. 도 2(b)의 반도체 메모리 시스템(220)은 4개의 메모리 모듈(225, 227, 229, 231)이 하나의 메모리 모듈군(223)을 구성한다. 즉, P는 1이고 N 은 4이다. 각각의 시스템 데이터 버스들(233, 235, 237, 239)은 M/4 비트의 폭을 가진다. 메모리 모듈들(225, 227, 229, 231)이 동일한 칩 선택 신호(CS1)에 응답하여 동시에 동작된다. 시스템 데이터 버스들(233, 235, 237, 239)이 동일한 배선 길이를 가지도록 배선한다면 메모리 모듈(225, 227, 229, 231)로부터 메모리 컨트롤러(221)까지 데이터 전송속도가 동일할 것이다.
- <61> 메모리 모듈로부터 메모리 컨트롤러까지의 시스템 데이터 버스의 배선 길이를 동일하게 한다면 메모리 모듈의 배치는 다양하게 구성할 수 있다. 도 2(c) 및 도 2(d)는 다양한 메모리 모듈 배치 방법을 적용한 제 1 실시예에 따른 반도체 메모리 시스템을 나타낸다.



- <62> 제 1 실시예에 따르면 하나의 시스템 데이터 버스 선로에 시스템 전체의 메모리 모듈 중 일부만 연결된다. 따라서, 메모리 채널 불연속 및 임피던스 부정합의 영향이 도 1에 도시된 종래의 반도체 메모리 시스템(100)에 비하여 크게 줄어든다.
- <63> 그리고, 시스템 데이터 버스의 고속동작 특성이 개선되고 그만큼 높은 주파수까지 동작시킬 수 있게 된다. 또한 하나의 메모리 모듈에서 동시에 동작하는 데이터 입출력 회로의 수가 절반으로 줄어 하나의 메모리 모듈당 동작 전력도 그만큼 줄어들게 되므로 이와 관련된 simultaneous switching noise 등 고주파 잡음이 줄어드 수 있다.
- <64> 더불어 메모리 모듈의 데이터 핀 수도 줄어들므로 메모리 모듈 소켓의 핀 수를 줄이거나 남은 핀들을 모듈의 접지 및 전력 핀 등으로 전용하여 모듈의 특성을 개선하는데 사용할 수 있다.
- <65> 도 2에 도시된 본 발명의 제 1 실시예에 사용되는 메모리 모듈(205, 207, 211, 213)의 데이터 버스 폭은 도 1에 나타난 기존의 반도체 메모리 시스템(100)의 메모리 모듈(120, 130, 140, 150)에 비하여 절반으로 줄어들어야 한다.
- <66> 이를 위한 가장 간단한 방법은 기존의 메모리 모듈(120, 130, 140, 150)이 구비하는 메모리 장치의 수를 절반으로 줄이는 것이다. 그러나 이러한 방법은 하나의 메모리 모듈 및 반도체 메모리 시스템 전체의 메모리 용량을 줄이는 것이므로 바람직하지 않다.
- <67> 이와 같은 문제를 피하기 위한 방법으로는 메모리 모듈에서 하나의 데이터 핀을 두 개의 메모리 장치가 공유하도록 하고, 두 개의 메모리 장치를 별도의 메모리 뱅크로서 동작시킨다.

- <68> 즉 기존의 메모리 모듈에 비하여 본 발명의 메모리 모듈은 데이터 버스의 폭이 절반으로 주는 대신 메모리 뱅크의 수가 2배로 늘어난다. 그러면 메모리 용량을 동일하게 유지하면서 도 2(a)에 도시된 본 발명의 시스템 데이터 버스의 장점을 그대로 이용할 수 있다.
- <69> 좀더 구체적으로 설명한다. 도 3(b)를 참조하면, 메모리 모듈(310)은 L 개의 메모리 장치들이 장착되며, L 개의 메모리 장치들은 L/N 개의 메모리 장치들을 각각 구비하는 N 개의 뱅크(B1, B2)로 구분된다.
- <70> 도 3(a)의 메모리 모듈(300)은 종래의 메모리 모듈을 나타낸다. 메모리 모듈(300)은 18개의 메모리 장치를 구비한다. 예를 들어 메모리 모듈(300)이 72 비트의 데이터 버스를 가지고 있다면 각각의 메모리 장치는 4 비트의 데이터 버스를 가진다. 메모리 장치는 칩 선택 신호(CS1)에 응답하여 동시에 동작된다.
- <71> 도 3(b)의 메모리 모듈(310)은 본 발명에 따른 메모리 모듈이다. 메모리 모듈(310)은 36 비트의 데이터 버스를 가져야 한다. 그리고, 메모리 장치는 종래의 메모리 모듈(300)과 동일하게 18개가 존재한다. 즉 L 은 18 이다. 여기서, N 은 2이므로 메모리 모듈(310)은 9개의 메모리 장치를 구비하는 2개의 메모리 뱅크(B1, B2)를 구비한다.
- <72> 2 개의 메모리 뱅크(B1, B2)는 각각 메모리 모듈의 36 비트의 데이터 버스를 공유하며, 대응되는 칩 선택 신호(CS1\_A, CS1\_B)에 응답하여 별도로 동작된다. 칩 선택 신호(CS1\_A)는 뱅크(B1)로, 칩 선택 신호(CS1\_B)는 뱅크(B2)로 인가된다. 18 개의 메모리 장치들은 각각 4비트의 데이터 버스 폭을 가진다.

- <73> 칩 선택 신호(CS1\_A)에 응답하여 뱅크(B1)가 선택되면, 뱅크(B1)의 9 개의 메모리 장치들은 36 비트의 데이터 버스를 이용하여 메모리 컨트롤러로 데이터를 전송한다. 이 때, 뱅크(B2)는 동작되지 않는다. 칩 선택 신호(CS1\_B)에 응답하여 뱅크(B2)가 선택되면, 뱅크(B2)의 9개의 메모리 장치들은 36 비트의 데이터 버스를 이용하여 메모리 컨트롤러로 데이터를 전송한다. 이 때, 뱅크(B1)는 동작되지 않는다.
- <74> 이와 같은 방법을 이용하면, 메모리 용량을 종래의 반도체 메모리 시스템과 동일하게 유지하면서도 앞서 설명된 본 발명의 장점을 이용할 수 있다.
- <75> 도 2(b)의 메모리 모듈(220)과 같이 4개의 시스템 데이터 버스가 존재한다면, 즉, N이 4라면, 메모리 모듈(220)의 메모리 장치의 수는 종래와 동일하게 유지하되 메모리 뱅크의 수만 4배로 증가시킨다. 그리고 서로 다른 4개의 메모리 뱅크에 속한 메모리 장치들이 메모리 모듈의 하나의 데이터 핀을 공유하도록 한다. 그러면 데이터 버스의 폭은 1/4로 줄이면서 메모리 용량을 동일하게 유지할 수 있다.
- <76> 메모리 용량을 줄이지 않으면서 메모리 모듈의 데이터 버스 폭을 줄일 수 있는 또 다른 방법은 메모리 모듈이 데이터 버스 폭이 좁은 메모리 장치를 구비하는 것이다. 하나의 메모리 장치의 데이터 버스 폭이 원래의 메모리 장치의 데이터 버스 폭의 절반인 메모리 장치를 사용하면 동일한 개수의 메모리 장치를 구비하는 메모리 모듈의 데이터 버스 폭도 절반으로 준다.
- <77> 즉, 도 2(a)의 메모리 모듈(200)이 18 개의 메모리 장치를 구비하며, 18 개의 메모리 장치가  $M/(N*L)$  비트, 즉  $72/(2*18) = 2$  비트의 데이터 버스 폭을 가지도록 하는 것이다.

- <78> 이 방법을 이용하면 원래의 메모리 모듈과 메모리 모듈의 용량 뿐 아니라 메모리  
뱅크 개수도 동일하면서 데이터 버스 폭만 절반으로 줄어든 메모리 모듈을 구성할 수 있  
다.
- <79> 도 4는 본 발명의 제 2 실시예에 따른 반도체 메모리 시스템을 나타내는 블록도이  
다.
- <80> 도 4(a)를 참조하면, 본 발명의 제2 실시예에 따른 반도체 메모리 시스템(400)은  
메모리 컨트롤러(410), N 개의 시스템 데이터 버스들(423, 425, 427), 제 1 메모리 모듈  
군(413) 및 제 2 메모리 모듈군(420)을 구비한다.
- <81> N 개의 시스템 데이터 버스들(423, 425, 427)은 메모리 컨트롤러(410)로부터 출력  
되며 M/N 비트의 폭을 가진다. M은 반도체 메모리 시스템(400)의 시스템 데이터 버스의  
폭이다. N 개의 시스템 데이터 버스(423, 425, 427)는 제 1 메모리 군(413)의 메모리  
모듈들(415, 417, 419)로부터 메모리 컨트롤러(410)까지의 데이터 전송 시간이 동일하도  
록 배선된다.
- <82> 제 1 메모리 모듈군(413)은 상기 N 개의 시스템 데이터 버스들(423, 425, 427)에  
연결되며 N개의 메모리 모듈들(415, 417, 419)을 구비한다. 제 2 메모리 모듈군(420)은  
상기 N 개의 시스템 데이터 버스들에 연결되며 하나 또는 둘 이상의 메모리 모듈들(421)  
을 구비한다.
- <83> 제 1 메모리 모듈군(413)이 구비하는 각각의 메모리 모듈(415, 417, 419)은 하나의  
메모리 모듈에 하나의 시스템 데이터 버스가 연결되고, 각각 M/N 비트의 데이터 버스 폭  
을 가지며, 동일한 칩 선택 신호(cs1)에 의하여 동작된다.

- <84> 좀더 설명하면, 제 1 메모리 모듈군(413)의 메모리 모듈(415, 417, 419)은 각각 L 개의 메모리 장치들(미도시)이 장착되며 L 개의 메모리 장치들은 L/N 개의 메모리 장치들을 각각 구비하는 N 개의 뱅크(미도시)로 구분되고, 상기 N 개의 뱅크는 각각 상기 메모리 모듈의 M/N 비트의 데이터 버스를 공유하며, 대응되는 칩 선택 신호에 응답하여 별도로 동작된다.
- <85> 상기 L 개의 메모리 장치들은 각각 M/L 비트의 데이터 버스 폭을 가지는 것을 특징으로 한다.
- <86> 제 2 메모리 모듈군(420)이 구비하는 각각의 메모리 모듈(421)은 메모리 모듈(421)에 N 개의 시스템 데이터 버스(423, 425, 427)가 모두 연결되고, M 비트의 데이터 버스 폭을 가지며, 각각의 메모리 모듈마다 별개의 칩 선택 신호(CS2)에 의하여 동작된다.
- <87> 제 1 메모리 모듈군(413)의 메모리 모듈들(415, 417, 419)은 L 개의 메모리 장치가 장착되며 상기 L 개의 메모리 장치는 M/(N\*L) 비트의 데이터 버스 폭을 가지는 것을 특징으로 한다.
- <88> 이하 도 4(a) 및 도 4(b)를 참조하여 본 발명의 제 2 실시예에 따른 반도체 메모리 장치의 동작이 상세히 설명된다.
- <89> 도 4의 제 2 실시예에 따른 반도체 메모리 시스템(400, 430)은 데이터 버스 폭이 서로 다른 메모리 모듈을 혼합하여 사용하는 경우를 나타낸다.
- <90> 도 4(a)를 참조하면, 전체 M 비트의 폭을 가지는 시스템 데이터 버스를 M/3 비트의 폭을 가지는 3개의 시스템 데이터 버스들(423, 425, 427)로 나누고, 제 1 메모리 모듈군(413)에는 3개의 메모리 모듈(415, 417, 419)이 있다. 3개의 메모리 모듈(415, 417,

419)은 각각 M/3 비트의 데이터 버스 폭을 가진다. 제 1 메모리 모듈군(413)의 구성 및 동작은 제 1 실시예에 따른 반도체 메모리 시스템과 동일하다.

<91> 제 2 메모리 모듈군(420)은 3 개의 시스템 데이터 버스들(423, 425, 427)에 연결되며 하나의 메모리 모듈(421)을 구비한다. 그러나 도 4(b)의 제 2 메모리 모듈군(440)과 마찬가지로 2개의 메모리 모듈(441, 443)을 구비할 수 있다. 또는 2 개 이상의 메모리 모듈을 구비할 수 있다.

<92> 제 2 메모리 모듈군(420)이 구비하는 메모리 모듈(421)은 전체 시스템 데이터 버스의 폭과 동일한 M 비트의 데이터 버스 폭을 가지며, 칩 선택 신호(CS2)에 의하여 동작된다.

<93> 제 1 메모리 모듈군(413)의 메모리 모듈들(415, 417, 419)은 분할된 시스템 데이터 버스들(423, 425, 427)과 동일한 데이터 버스 폭을 가지고 제 2 메모리 모듈군(420)의 메모리 모듈(421)은 전체 시스템 데이터 버스와 동일한 데이터 버스 폭을 가진다.

<94> 도 4(b)를 참조하면, 제 1 메모리 모듈군(433)은 2개의 메모리 모듈(435, 437)을 구비하고, 2 개의 분할된 시스템 데이터 버스(450, 453)에 연결된다. 제 2 메모리 모듈군(440)은 2개의 메모리 모듈(441, 443)을 구비하고, 각각의 메모리 모듈(441, 443)은 M 비트의 데이터 버스 폭을 가지며 2개의 분할된 시스템 데이터 버스(450, 453) 모두에 연결된다.

<95> 제 2 실시예의 반도체 메모리 시스템(400, 430)에서와 같이 서로 다른 데이터 버스 폭을 가지는 메모리 모듈을 다양한 방식으로 조합하여 사용하면서도 제 1 실시예와 같은 효과를 발생시킬 수 있다.

- <96> 도 5(a)는 종래의 직렬 링크 버스 방식의 반도체 메모리 시스템을 나타내는 도면이다.
- <97> 도 5(b)는 본 발명의 제 3 실시예에 따른 직렬 링크 방식의 반도체 메모리 시스템이다.
- <98> 도 5(b)를 참조하면, 본 발명의 제 3 실시예에 따른 반도체 메모리 시스템(560)은, 직렬 링크 버스 방식의 반도체 메모리 시스템에 있어서, 메모리 컨트롤러(565), N 개의 시스템 데이터 버스들(567, 569) 및 제 1 내지 제 P 메모리 모듈군(570, 575)을 구비한다.
- <99> N 개의 시스템 데이터 버스들(567, 569)은 메모리 컨트롤러(565)부터 출력되며 M/N 비트의 폭을 가진다. 상기 M은 반도체 메모리 시스템(560)의 시스템 데이터 버스의 폭이다. N 개의 시스템 데이터 버스(567, 569)는 동일한 칩 선택 신호(CS1, CS2)에 의하여 동작되는 N 개의 메모리 모듈(571, 573, 577, 579)로부터 메모리 컨트롤러(565)까지의 데이터 전송 시간이 동일하도록 배선될 수 있다.
- <100> 제 1 내지 제 P 메모리 모듈군(570, 575)은 상기 시스템 데이터 버스들에 연결되며, 각각 N 개의 메모리 모듈들(571, 573, 577, 579)을 구비한다. 제 1 내지 제 P 메모리 모듈군(570, 575)이 구비하는 각각의 메모리 모듈은 하나의 메모리 모듈에 하나의 시스템 데이터 버스가 연결되고, 각각 M/N 비트의 데이터 버스 폭을 가지며, 데이터 전송을 위한 데이터 버퍼(DBN1 ~DBN4)를 구비한다.

- <101> 제 1 내지 제 P 메모리 모듈군(570, 575)은 대응되는 제 1 내지 제 P 칩 선택 신호(CS1, CS2)에 의하여 동작되며, 공통된 시스템 데이터 버스에 연결된 각각의 메모리 모듈은 상기 데이터 버퍼를 이용하여 데이터를 전송한다.
- <102> 메모리 모듈은 L 개의 메모리 장치들(미도시)이 장착되며, 상기 L 개의 메모리 장치들은 L/N 개의 메모리 장치들을 각각 구비하는 N 개의 뱅크(미도시)로 구분되고 상기 N 개의 뱅크는 각각 상기 메모리 모듈의 M/N 비트의 데이터 버스를 공유하며, 상기 대응되는 칩 선택 신호에 응답하여 별도로 동작된다.
- <103> L 개의 메모리 장치들은 각각 M/L 비트의 데이터 버스 폭을 가진다. 칩 선택 신호는 상기 N 개의 뱅크로 각각 별개의 칩 선택 신호가 인가되는 것을 특징으로 한다.
- <104> 상기 메모리 모듈은 L 개의 메모리 장치가 장착되며 상기 L 개의 메모리 장치는 M/(N\*L) 비트의 데이터 버스 폭을 가지는 것을 특징으로 한다.
- <105> 이하 도 5를 참조하여 본 발명의 제 3 실시예에 따른 반도체 메모리 시스템의 동작이 상세히 설명된다.
- <106> 도 5(a)는 종래의 직렬 링크 버스 방식의 반도체 메모리 시스템을 나타내는 도면이다.
- <107> 종래의 직렬 링크 버스 방식은 반도체 메모리 시스템(500)의 메모리 모듈들(520, 530, 540, 550)을 시스템 데이터 버스(555)에 연결하는 경우, 직렬 링크(serial link)를 이용하여 하나의 메모리 모듈에서 다음 메모리 모듈로 신호가 순차적으로 전송되는 데이터 전송 방식이다.



- <108> 하나의 메모리 모듈은 그 앞단의 메모리 모듈에서 신호를 전달받고, 그 다음 클럭에 다음 메모리 모듈로 전달한다. 이와 같은 데이터 전송은 메모리 장치와 메모리 장치 사이에서 직접 이루어지는 경우도 있고, 데이터 전송을 위한 별도의 데이터 버퍼를 통하여 이루어지기도 한다.
- <109> 직렬 링크 버스 방식에서의 신호 전달은 인접한 두 개의 메모리 장치나 데이터 버퍼 사이에서 point to point 방식으로 이루어지므로 메모리 시스템의 고속 동작에서도 신호 충실도가 매우 뛰어나다.
- <110> 그러나 데이터를 전달받아 다음 메모리 모듈로 전달하는 과정에서 데이터 버퍼링에 최소한 한 클럭 이상의 시간이 소요되어 반도체 메모리 시스템의 latency가 증가하게 되므로 반도체 메모리 시스템의 동작 속도를 저하시키는 문제가 있다.
- <111> 특히 대용량의 반도체 메모리 시스템에서 메모리 모듈의 개수가 증가할수록 중간 버퍼링 단계도 증가하므로 중간 버퍼링에 의한 시간 지연 및 반도체 메모리 시스템의 속도 저하 문제가 더욱 심각해진다.
- <112> 도 5(b)는 위에서 설명한 문제점을 해결하기 위하여 직렬 링크 버스 방식의 반도체 메모리 시스템에 본 발명의 제 1 실시예의 방식을 적용한 것이다.
- <113> 도 5(b)는 메모리 모듈(571, 573, 577, 579)의 데이터 버스 폭이 전체 시스템 데이터 버스 폭의 1/2인 경우를 예로하여 설명한 것이다. 반도체 메모리 시스템에 메모리 모듈이 4개인 경우를 비교하면, 도 5(a)에 나타낸 기존의 반도체 메모리 시스템(500)에서는 메모리 모듈(520)에서 메모리 모듈(550)까지 데이터를 전달하는데 최대 3번의 데이터 버퍼링이 필요하다.

<114> 그러나 도 5(b)에 도시된 제 3 실시예에 따른 반도체 메모리 시스템(560)에서는 중간에 단 한 번의 데이터 버퍼링만 필요하므로 데이터 버퍼링에 소요되는 시간 지연이 크게 줄고, 따라서 메모리 시스템 latency 감소 및 동작 속도가 증가될 수 있다. 도 5(b)의 메모리 모듈(571, 573, 577, 579)의 구조나 동작은 제 1 실시예의 메모리 모듈과 동일하므로 상세한 설명은 생략한다.

<115> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<116> 상술한 바와 같이 본 발명에 따른 반도체 메모리 시스템은 시스템 데이터 버스에 연결되는 메모리 모듈의 개수가 줄어들므로 고속 동작이 가능하면서도 메모리 용량도 대용량을 유지할 수 있는 장점이 있다.

**【특허청구범위】****【청구항 1】**

메모리 컨트롤러 ;

상기 메모리 컨트롤러로부터 출력되며  $M/N$  비트의 폭을 가지는  $N$ ( $N$ 은 2 이상의 자연수) 개의 시스템 데이터 버스들 ; 및

상기 시스템 데이터 버스들에 연결되며, 각각  $N$  개의 메모리 모듈들을 구비하는 제 1 내지 제  $P$  메모리 모듈군을 구비하고,

상기 제 1 내지 제  $P$  메모리 모듈군이 구비하는 각각의 메모리 모듈은,

하나의 메모리 모듈에 하나의 시스템 데이터 버스가 연결되고, 각각  $M/N$  비트의 데이터 버스 폭을 가지며,

상기 제 1 내지 제  $P$ ( $P$ 는 자연수) 메모리 모듈군은,

대응되는 제 1 내지 제  $P$  칩 선택 신호에 의하여 동작되는 것을 특징으로 하는 반도체 메모리 시스템.

**【청구항 2】**

제 1항에 있어서, 상기  $M$ ( $M$ 은 자연수)은,

상기 반도체 메모리 시스템의 전체 시스템 데이터 버스의 폭인 것을 특징으로 하는 반도체 메모리 시스템.

**【청구항 3】**

제 1항에 있어서, 상기  $N$  개의 시스템 데이터 버스는,

동일한 칩 선택 신호에 의하여 동작되는  $N$  개의 메모리 모듈로부터 상기 메모리 컨트롤러까지의 데이터 전송 시간이 동일하도록 배선되는 것을 특징으로 하는 반도체 메모리 시스템.

**【청구항 4】**

제 1항에 있어서, 상기 메모리 모듈은,

$L$  개의 메모리 장치들이 장착되며,

상기  $L$  개의 메모리 장치들은,

$L/N$  개의 메모리 장치들을 각각 구비하는  $N$  개의 뱅크로 구분되고,

상기  $N$  개의 뱅크는 각각,

상기 메모리 모듈의  $M/N$  비트의 데이터 버스를 공유하며, 상기 대응되는 칩 선택 신호에 응답하여 별도로 동작되는 것을 특징으로 하는 반도체 메모리 시스템.

**【청구항 5】**

제 4항에 있어서, 상기 칩 선택 신호는,

상기  $N$  개의 뱅크로 각각 별개의 칩 선택 신호가 인가되는 것을 특징으로 하는 반도체 메모리 시스템.

**【청구항 6】**

제 4항에 있어서,

상기  $L$  개의 메모리 장치들은,

각각  $M/L$  비트의 데이터 버스 폭을 가지는 것을 특징으로 하는 반도체 메모리 시스템.

**【청구항 7】**

제 1항에 있어서, 상기 메모리 모듈은,

L 개의 메모리 장치가 장착되며,

상기 L 개의 메모리 장치는,

$M/(N \cdot L)$  비트의 데이터 버스 폭을 가지는 것을 특징으로 하는 반도체 메모리 시스템.

**【청구항 8】**

메모리 컨트롤러 ;

상기 메모리 컨트롤러로부터 출력되며  $M/N$ ( $M$ 은 자연수) 비트의 폭을 가지는  $N$ ( $N$ 은 2 이상의 자연수) 개의 시스템 데이터 버스들 ; 및

상기  $N$  개의 시스템 데이터 버스들에 연결되며  $N$ 개의 메모리 모듈들을 구비하는 제 1 메모리 모듈군 ;

상기  $N$  개의 시스템 데이터 버스들에 연결되며 하나 또는 둘 이상의 메모리 모듈들을 구비하는 제 2 메모리 모듈군을 구비하고,

상기 제 1 메모리 모듈군이 구비하는 각각의 메모리 모듈은,

하나의 메모리 모듈에 하나의 시스템 데이터 버스가 연결되고, 각각  $M/N$  비트의 데이터 버스 폭을 가지며, 동일한 칩 선택 신호에 의하여 동작되고,

상기 제 2 메모리 모듈군이 구비하는 각각의 메모리 모듈은,

메모리 모듈에 상기  $N$  개의 시스템 데이터 버스가 모두 연결되고, 각각  $M$  비트의 데이터 버스 폭을 가지며, 각각의 메모리 모듈마다 별개의 칩 선택 신호에 의하여 동작되는 것을 특징으로 하는 반도체 메모리 시스템.

【청구항 9】

제 8항에 있어서, 상기  $M$ 은,

상기 반도체 메모리 시스템의 전체 시스템 데이터 버스의 폭인 것을 특징으로 하는 반도체 메모리 시스템.

【청구항 10】

제 8항에 있어서, 상기  $N$  개의 시스템 데이터 버스는,

상기 제 1 메모리 군의 메모리 모듈들로부터 상기 메모리 컨트롤러까지의 데이터 전송 시간이 동일하도록 배선되는 것을 특징으로 하는 반도체 메모리 시스템.

【청구항 11】

제 8항에 있어서, 상기 제 1 메모리 모듈군의 메모리 모듈은 각각,

$L$  개의 메모리 장치들이 장착되며,

상기  $L$  개의 메모리 장치들은,

$L/N$  개의 메모리 장치들을 각각 구비하는  $N$  개의 뱅크로 구분되고,

상기  $N$  개의 뱅크는 각각,

상기 메모리 모듈의  $M/N$  비트의 데이터 버스를 공유하며, 상기 대응되는 칩 선택 신호에 응답하여 별도로 동작되는 것을 특징으로 하는 반도체 메모리 시스템.

**【청구항 12】**

제 11항에 있어서, 상기 칩 선택 신호는,

상기 N 개의 뱅크로 각각 별개의 칩 선택 신호가 인가되는 것을 특징으로 하는 반도체 메모리 시스템.

**【청구항 13】**

제 11항에 있어서,

상기 L 개의 메모리 장치들은,

각각  $M/L$  비트의 데이터 버스 폭을 가지는 것을 특징으로 하는 반도체 메모리 시스템.

**【청구항 14】**

제 8항에 있어서, 상기 제 1 메모리 모듈군의 메모리 모듈들은 각각,

L 개의 메모리 장치가 장착되며,

상기 L 개의 메모리 장치는,

$M/(N*L)$  비트의 데이터 버스 폭을 가지는 것을 특징으로 하는 반도체 메모리 시스템.

**【청구항 15】**

직렬 링크 버스 방식의 반도체 메모리 시스템에 있어서,

메모리 컨트롤러 ;

상기 메모리 컨트롤러로부터 출력되며  $M/N$  비트의 폭을 가지는 N 개의 시스템 데이터 버스들 ; 및

상기 시스템 데이터 버스들에 연결되며, 각각  $N$  개의 메모리 모듈들을 구비하는 제 1 내지 제  $P$  메모리 모듈군을 구비하고,

상기 제 1 내지 제  $P$  메모리 모듈군이 구비하는 각각의 메모리 모듈은,

하나의 메모리 모듈에 하나의 시스템 데이터 버스가 연결되고, 각각  $M/N$  비트의 데이터 버스 폭을 가지며, 데이터 전송을 위한 데이터 버퍼를 구비하고,

상기 제 1 내지 제  $P$  메모리 모듈군은,

대응되는 제 1 내지 제  $P$  칩 선택 신호에 의하여 동작되며,

공통된 시스템 데이터 버스에 연결된 각각의 메모리 모듈은 상기 데이터 버퍼를 이용하여 데이터를 전송하는 것을 특징으로 하는 반도체 메모리 시스템.

#### 【청구항 16】

제 15항에 있어서, 상기  $M$ 은,

상기 반도체 메모리 시스템의 전체 시스템 데이터 버스의 폭인 것을 특징으로 하는 반도체 메모리 시스템.

#### 【청구항 17】

제 15항에 있어서, 상기  $N$  개의 시스템 데이터 버스는,

동일한 칩 선택 신호에 의하여 동작되는  $N$  개의 메모리 모듈로부터 상기 메모리 컨트롤러까지의 데이터 전송 시간이 동일하도록 배선되는 것을 특징으로 하는 반도체 메모리 시스템.

#### 【청구항 18】

제 15항에 있어서, 상기 메모리 모듈은 각각,



L 개의 메모리 장치들이 장착되며,  
상기 L 개의 메모리 장치들은,  
L/N 개의 메모리 장치들을 각각 구비하는 N 개의 뱅크로 구분되고,  
상기 N 개의 뱅크는 각각,  
상기 메모리 모듈의 M/N 비트의 데이터 버스를 공유하며, 상기 대응되는 칩 선택  
신호에 응답하여 별도로 동작되는 것을 특징으로 하는 반도체 메모리 시스템.

**【청구항 19】**

제 18항에 있어서, 상기 칩 선택 신호는,  
상기 N 개의 뱅크로 각각 별개의 칩 선택 신호가 인가되는 것을 특징으로 하는 반  
도체 메모리 시스템.

**【청구항 20】**

제 18항에 있어서,  
상기 L 개의 메모리 장치들은,  
각각 M/L 비트의 데이터 버스 폭을 가지는 것을 특징으로 하는 반도체 메모리 시스  
템.

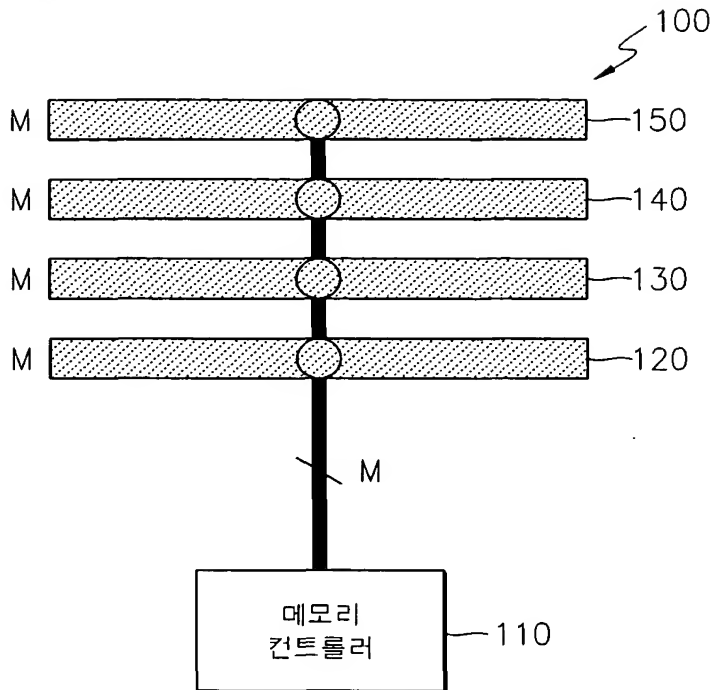
**【청구항 21】**

제 15항에 있어서, 상기 메모리 모듈은 각각,  
L 개의 메모리 장치가 장착되며,  
상기 L 개의 메모리 장치는,

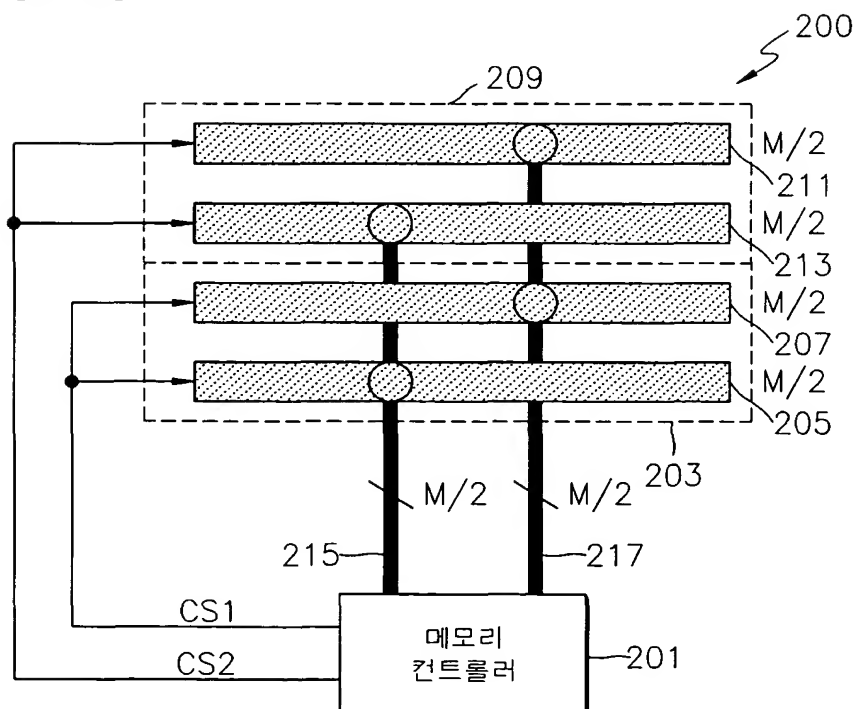
M/(N\*L) 비트의 데이터 버스 폭을 가지는 것을 특징으로 하는 반도체 메모리 시스템.

【도면】

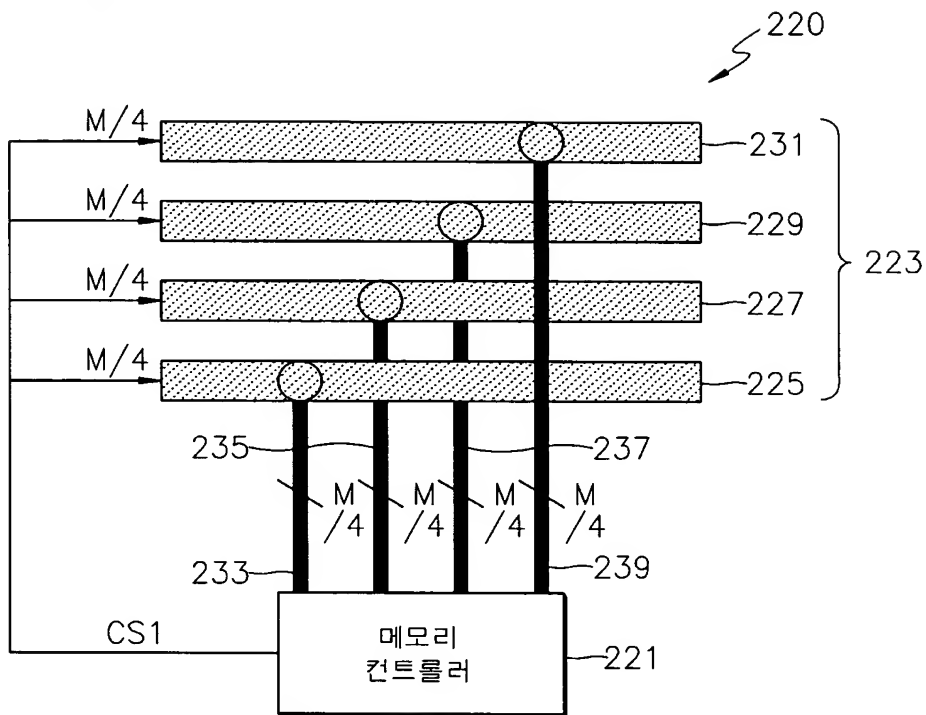
【도 1】



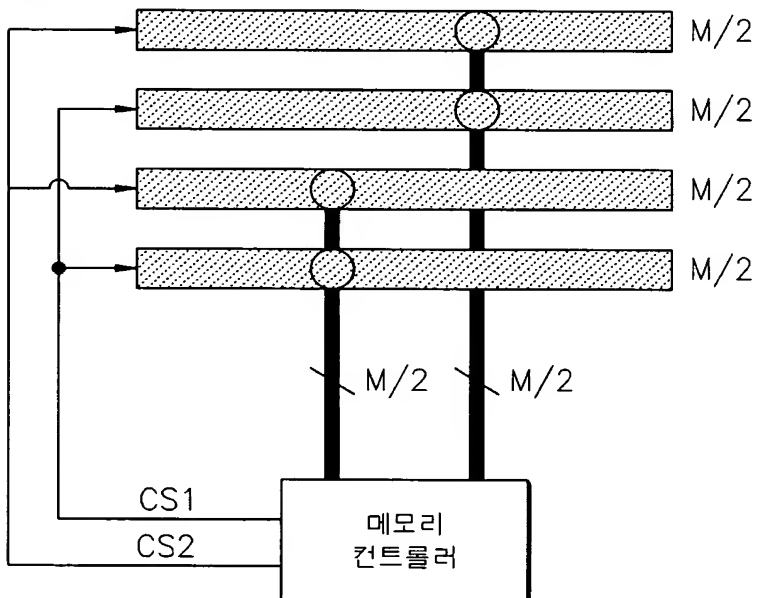
【도 2a】

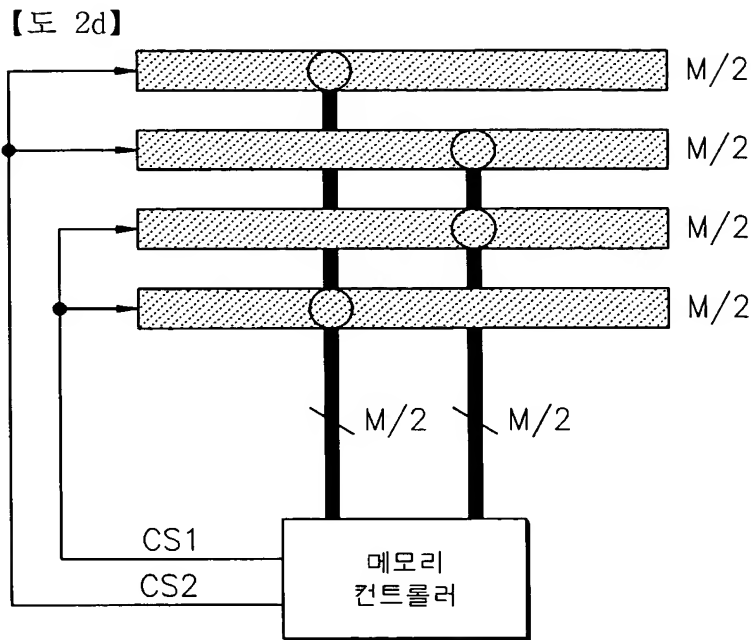


【도 2b】

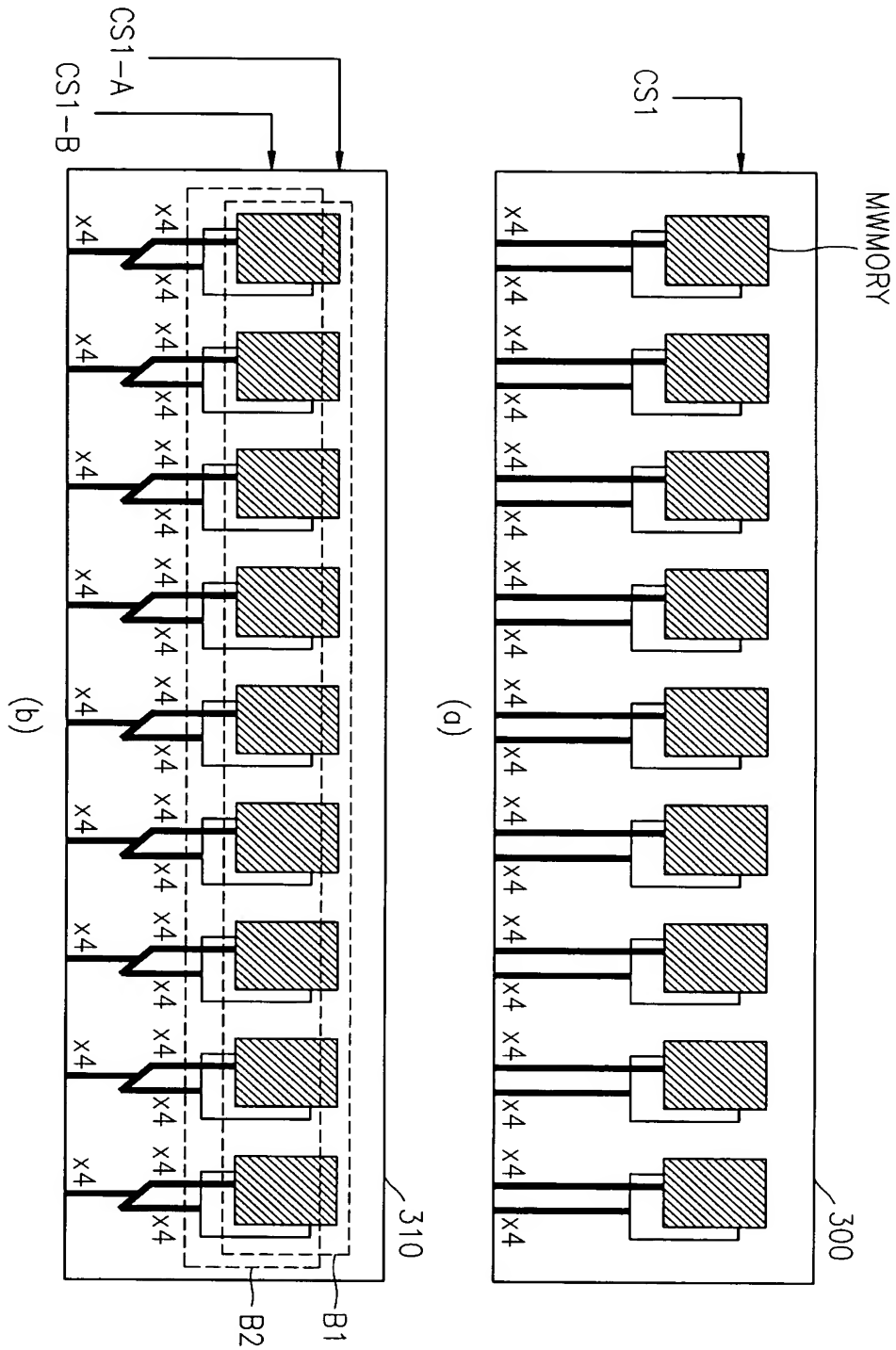


【도 2c】

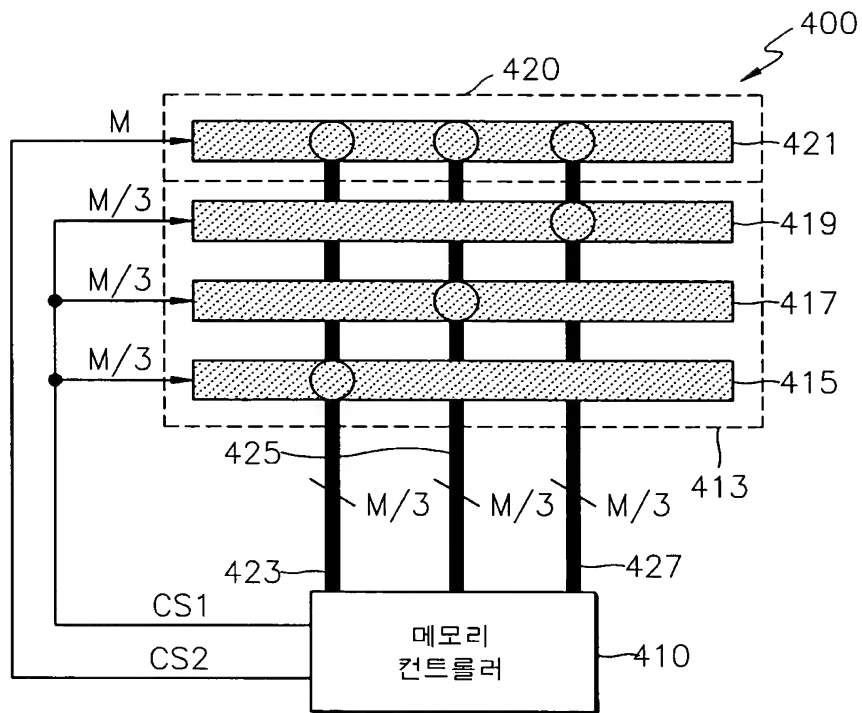




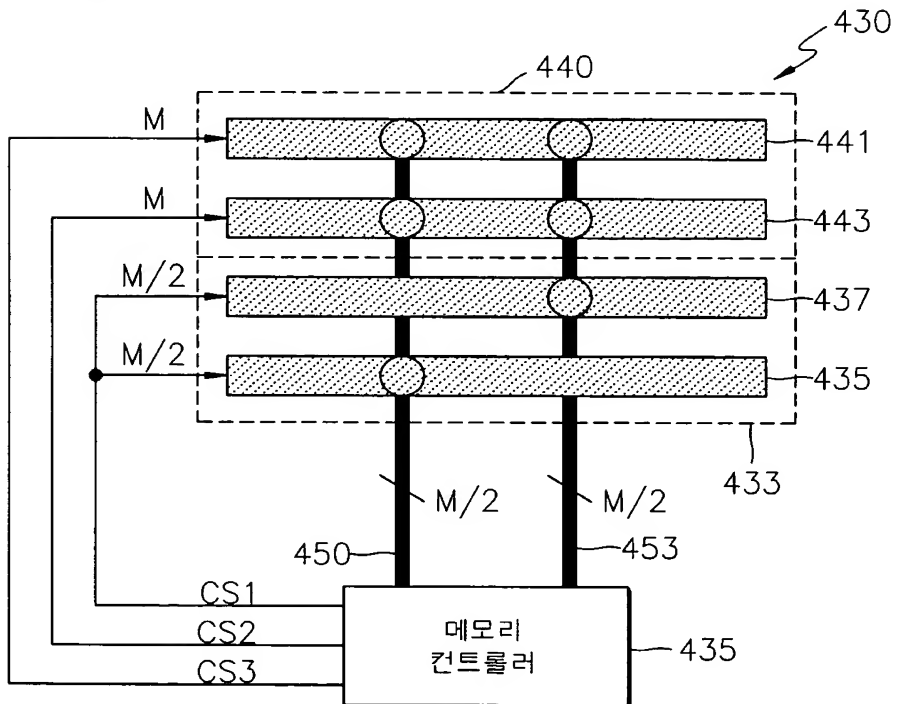
【도 3】



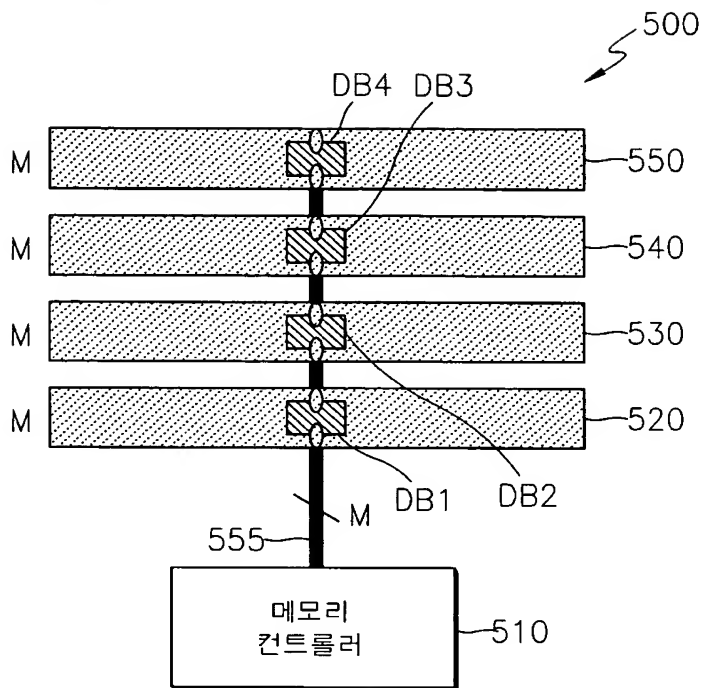
【도 4a】



【도 4b】



【도 5a】



【도 5b】

